

**产品特性**

输出频率范围：25.5MHz~3240MHz

小数分频频率合成器

可编程 1/2/4/8/16/32/64 分频输出

电源电压：3.3V

双模预分频器：4/5、8/9

串行外设接口输出

封装形式：QFN32（塑封）

**应用**

无线基础设施（W-CDMA、TD-SCDMA、

WIMAX、GSM、PCS、DCS、DECT）

测试设备

无线局域网（WLAN）

有线电视设备

时钟产生

**工作条件**

数字电源供电电压 SDVDD/DVDD：3.3V

模拟电源供电电压 AVDD/VP/VVCO：3.3V

工作温度：-40°C~+85°C

贮存温度：-65°C~+150°C

**订购信息**

表 1 订购信息

器件型号	封装形式	描述
HX1312880FL	QFN32	集成 VCO 的小数 N 分频整数 N 分频快速锁定 PLL

**产品概述**

HX1312880FL 结合外部环路滤波器和外部参考时钟，可实现小数分频或整数分频锁相环（PLL）频率合成器功能。产品具有快速锁定特点，120K 环路带宽下锁定时间仅为 40us，特别适合应用于快速跳频系统。

HX1312880FL集成压控振荡器（VCO）其基波输出频率范围为 1.62GHz~3.24GHz，通过 1/2/4/8/16/32/64 分频电路，可以产生低至 25.5MHz 的 RF 输出频率。所有片内寄存器均通过标准串行外设接口进行控制。该器件采用 3.3V 电源供电。

**功能框图**

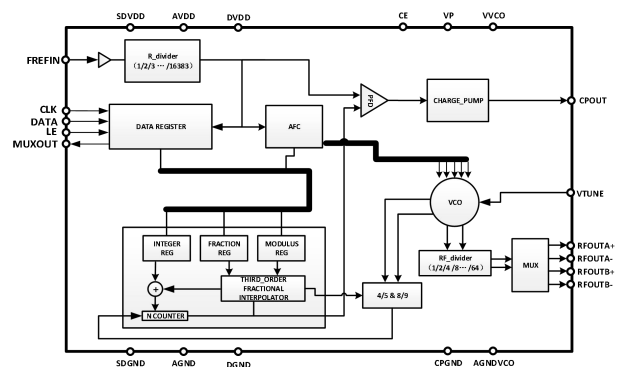


图 1 功能框图（QFN32 封装）

**技术规格**（除非另有说明，SDVDD=DVDD=AVDD=VP=VVCO=CE=3.3V±10%，SDGND=DGND=AGND=CPGND=AGNDVCO=0V。工作温度为  $T_A=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ 。）

**表 2 电性能参数**

参数		测试条件	最小值	典型值	最大值	单位
输入参考特性	输入频率		-	-	600	MHz
	输入灵敏度		0.4	-	1.8	Vp-p
鉴频鉴相器	鉴相器频率		7	-	26	MHz
电荷泵	电流值	$0.5\text{V}\leq\text{CPOUT}\leq 2.8\text{V}$	0.025	-	6.375	mA
	充放电电流失配		-	1	-	%
	$I_{CP}$ 与 VTUNE		-	1.5	-	%
	$I_{CP}$ 与温度		-	2	-	%
逻辑输入	输入高电压 V		DVDD-0.4	-	-	V
	输入低电压 V		-	-	0.4	V
逻辑输出	输出高电压 VOH		DVDD-0.4	-	-	V
	输出低电压 VOL		-	-	0.4	V
电源	SDVDD、DVDD AVDD、VP、VVCO、CE	-	3.0	3.3	3.6	V
	电源电流	REFIN=20MHz、 预分频比=1、 N 分频比=100、 VCO 输出分频比=1	-	125	-	mA
RF 输出特性	VCO 输出频率	-	1620	-	3240	MHz
	VCO 灵敏度 KVCO	-	60	-	126	MHz/V
	最小 RF 输出功率	温度: 25°C RFOUTA+/ RFOUTA-	-	-3	-	dBm
	最大 RF 输出功率		-	4	-	dBm
	最小 VCO 调谐电压	-	-	1.45	-	V
	最大 VCO 调谐电压	-	-	1.85	-	V
噪声特性	VCO 相位噪声性能 @1.62GHz	10 kHz 偏移	-	-82.3	-	dBc/Hz
		100 kHz 偏移	-	-110.7	-	dBc/Hz
		1 MHz 偏移	-	-133	-	dBc/Hz

	VCO 相位噪声性能 @3.24GHz	10 kHz 偏移	-	-69.3	-	dBc/Hz
		100 kHz 偏移	-	-101.5	-	dBc/Hz
		1 MHz 偏移	-	-128.3	-	dBc/Hz
	PLL 相位噪声性能 @1.62GHz 鉴相频率: 20MHz 环路带宽: 120KHz	1 kHz 偏移	-	-94	-	dBc/Hz
		10 kHz 偏移	-	-102	-	dBc/Hz
		100 kHz 偏移	-	-97	-	dBc/Hz
		1 MHz 偏移	-	-130	-	dBc/Hz
	PLL 相位噪声性能 @3.24GHz 鉴相频率: 20MHz 环路带宽: 120KHz	1kHz 偏移	-	-89	-	dBc/Hz
		10 kHz 偏移	-	-96	-	dBc/Hz
		100 kHz 偏移	-	-91	-	dBc/Hz
		1 MHz 偏移	-	-124	-	dBc/Hz
	PLL 相位噪声性能 @1620.1MHz 鉴相频率: 20MHz 环路带宽: 40KHz	1kHz 偏移	-	-85	-	dBc/Hz
		10 kHz 偏移	-	-86	-	dBc/Hz
		100 kHz 偏移	-	-91	-	dBc/Hz
		1 MHz 偏移	-	-124	-	dBc/Hz
	PLL 相位噪声性能 @3240.1MHz 鉴相频率: 20MHz 环路带宽: 40KHz	1kHz 偏移	-	-80	-	dBc/Hz
10 kHz 偏移		-	-81	-	dBc/Hz	
100 kHz 偏移		-	-81	-	dBc/Hz	
1 MHz 偏移		-	-120	-	dBc/Hz	

## ESD 警告



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

**时序特性**（除非另有说明，SDVDD=DVDD=AVDD=VP=VVCO=CE=3.3V±10%，SDGND=DGND=AGND=CPGND=AGNDVCO=0V。工作温度为  $T_A=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ 。高电平电位：3.3 V，低电平电位：0 V，时钟频率  $f_{\text{max}}=25\text{ MHz}$ ，周期  $T=40\text{ ns}$ 。）

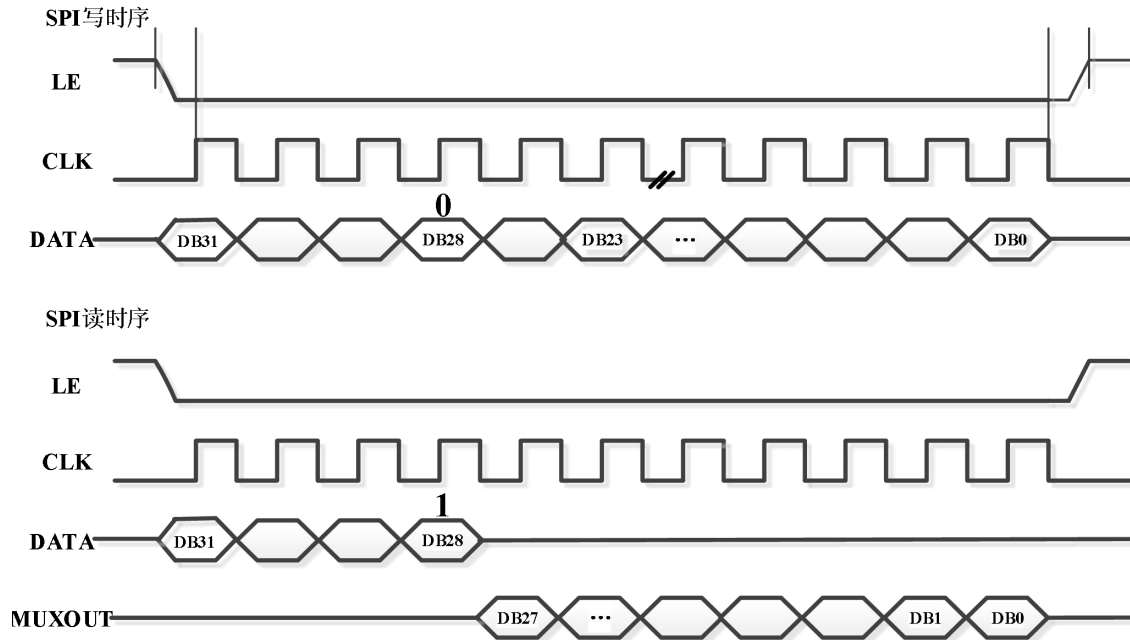


图 2 SPI 读写操作模式时序图

- 备注：1、寄存器 REG0 需最后配置，刷新所有寄存器数据。  
 2、先发地址位、然后读写位、最后数据位。地址位高位先发，数据位高位先发。  
 3、主机下降沿发送数据，从机上升沿接收数据。  
 4、SPI 速率最高支持 25MHz。  
 5、配置时寄存器之间建议间隔 10 个时钟沿。

**典型工作特性**

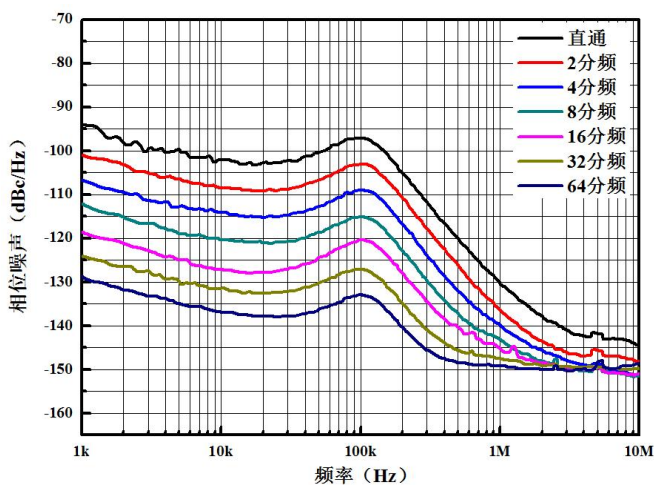


图 3 120K 环路带宽@1.62GHz 相位噪声

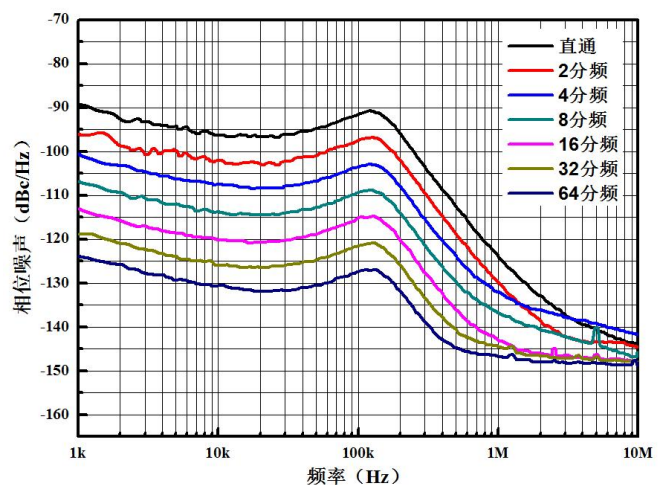


图 4 120K 环路带宽@3.24GHz 相位噪声

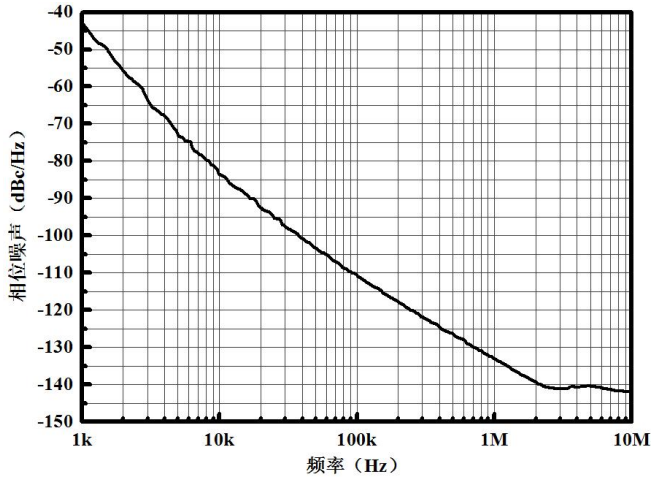


图 5 1.62GHz\_VCO 相位噪声

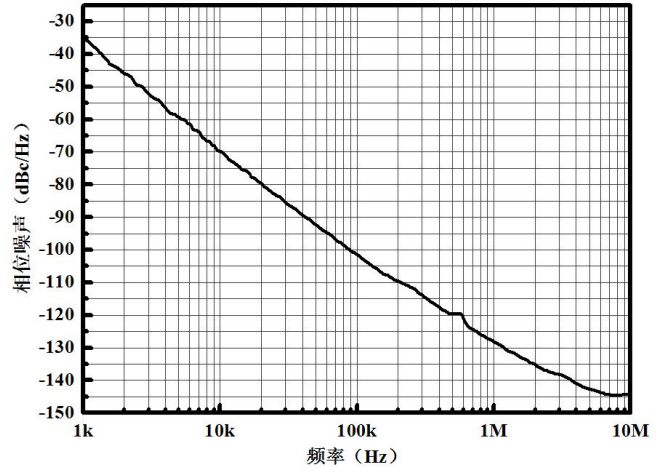


图 6 3.24GHz\_VCO 相位噪声

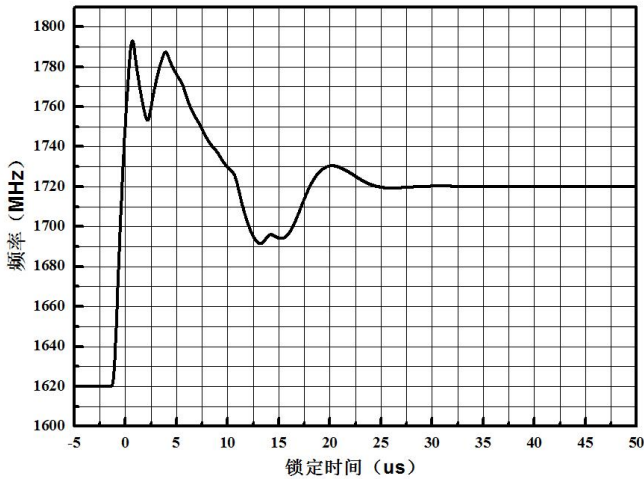


图 7 120K 环路带宽上跳 100MHz 锁定时间

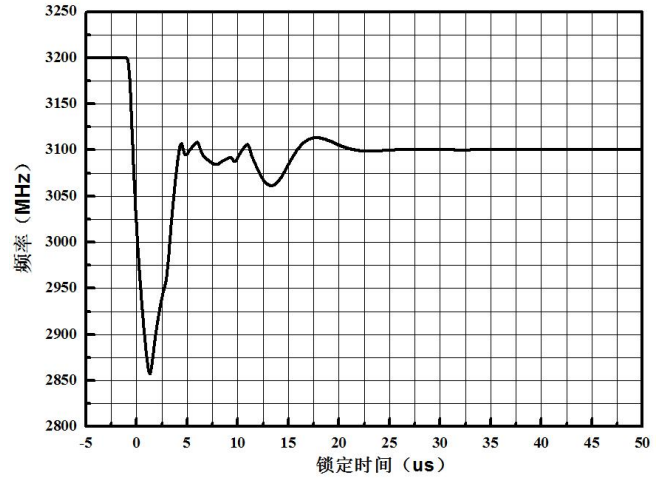


图 8 120K 环路带宽下跳 100MHz 锁定时间

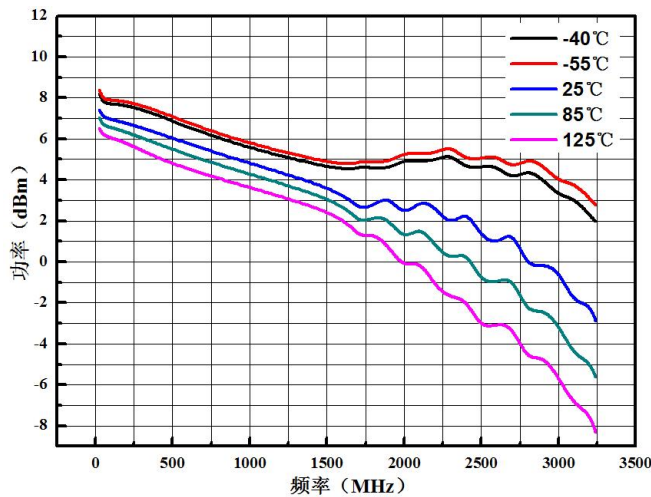


图 9 低功率模式 RFOUTA+/- 射频功率

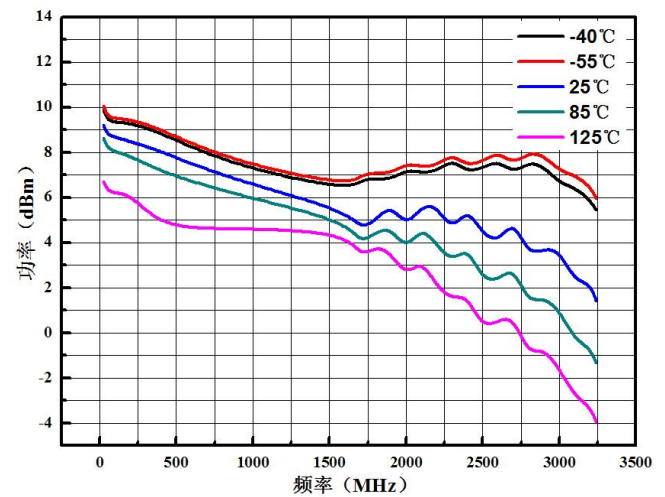


图 10 高功率模式 RFOUTA+/- 射频功率

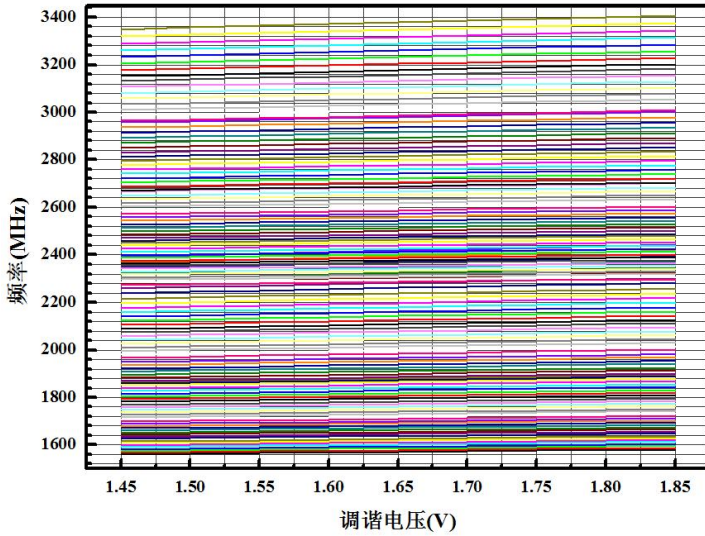


图 11 压控振荡器输出频率调谐曲线

表 3 环路滤波器设计参考

环路滤波器 编号	环路滤波器带宽 (KHz)	C1 (pF)	C2 (nF)	C3 (pF)	R1 (kΩ)	R2 (kΩ)	环路滤波器 设计参考图
1	40	8200	100	1.2	20	0.12	
2	80	1830	33	1.2	20	0.2	
3	120	400	10	1.2	20	0.32	
4	150	1100	33	1.2	20	0.47	

备注：环路滤波器 1 设计采用 20MHz 鉴相频率、ICP=3.2mA，建议应用在小数模式。

环路滤波器 3 设计采用 20MHz 鉴相频率、ICP=3.2mA，建议应用在整数模式。

引脚功能

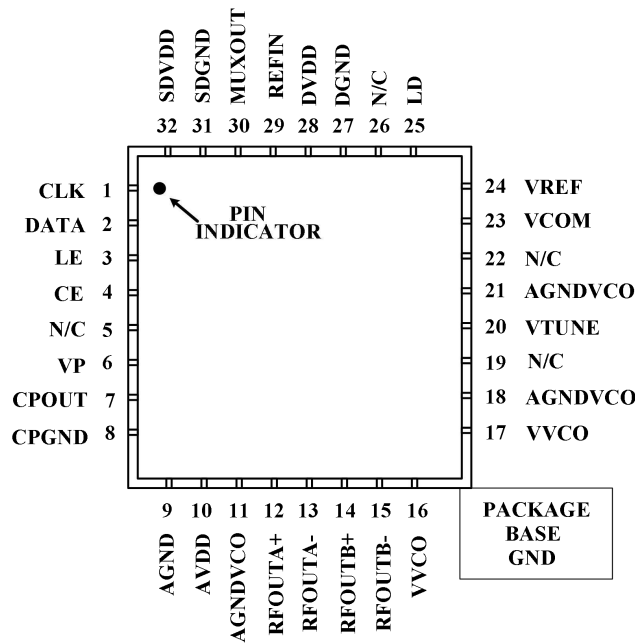


图 12 引脚分布

表 4 引脚说明

引脚编号	引脚名称	描述
1	CLK	串口通讯时钟线
2	DATA	串口通讯数据线（芯片输入）
3	LE	串口通讯片选线
4	CE	芯片使能（3.3V）
5、19、22、26	N/C	悬空
6	VP	模拟电 3.3V
7	CPOUT	电荷泵输出，此引脚向外部环路滤波器提供±ICP，外接环路滤波器输入 ICP 端口
8	CPGND	模拟地电位
9	AGND	模拟地电位
10	AVDD	模拟电 3.3V
11、18、21	AGNDVCO	模拟地电位
12	RFOUTA+	主射频输出端口，输出功率可编程
13	RFOUTA-	互补主射频输出端口，输出功率可编程
14	RFOUTB+	辅助射频输出端口，输出功率低于 RFOUTA+端口，输出功率可编程
15	RFOUTB-	互补辅助射频输出端口，输出功率低于 RFOUTA-端口，输出功率可编程
16、17	VVCO	模拟电 3.3V

20	VTUNE	VCO 控制电压，外接环路滤波器输出 VTUNE 端口
23	VCOM	内部偏置端口，外接到地去耦电容
24	VREF	内部偏置端口，外接到地去耦电容
25	LD <sup>(1)</sup>	锁定检测输出引脚，此引脚输出逻辑高电平 3.3V 表示 PLL 锁定，逻辑低电平输出表示 PLL 失锁
27	DGND	数字地电位
28	DVDD	数字电 3.3V
29	REFIN	基准时钟输入，外接隔直电容
30	MUXOUT	多路选通器输出，可访问锁定检测、预分频后参考时钟、N 分频后反馈时钟、SPI 读模式
31	SDGND	数字地电位
32	SDVDD	数字电 3.3V
-	EP	裸露焊盘

备注：(1)实现锁定检测功能需有参考信号 RFIN 输入。

寄存器说明

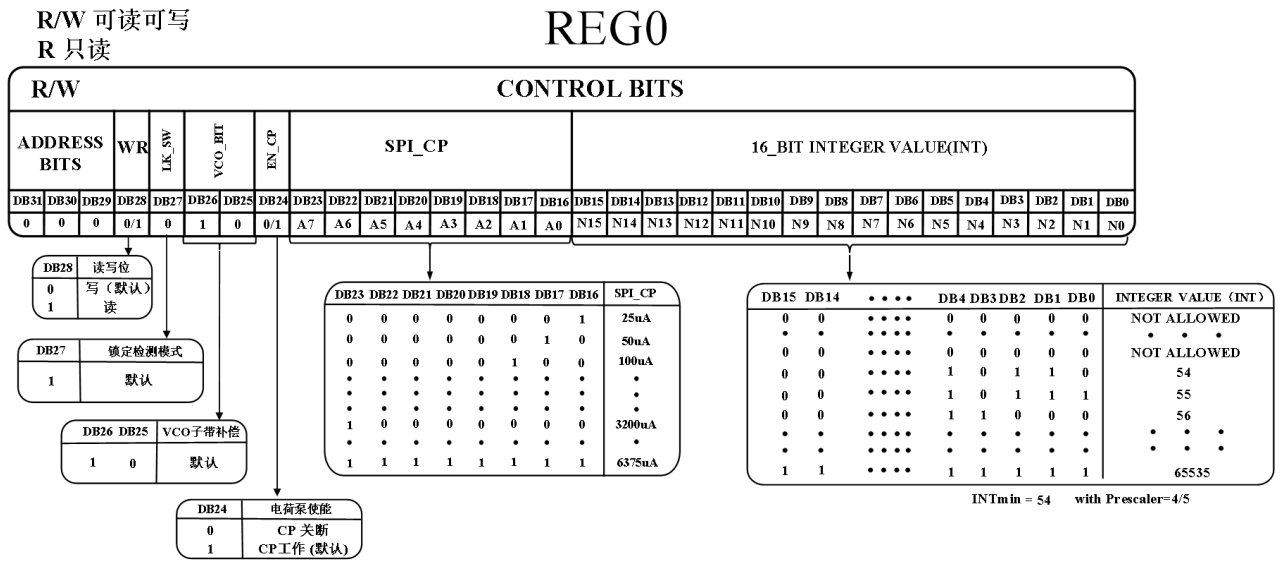


图 13 reg0 寄存器配置信息

# REG1

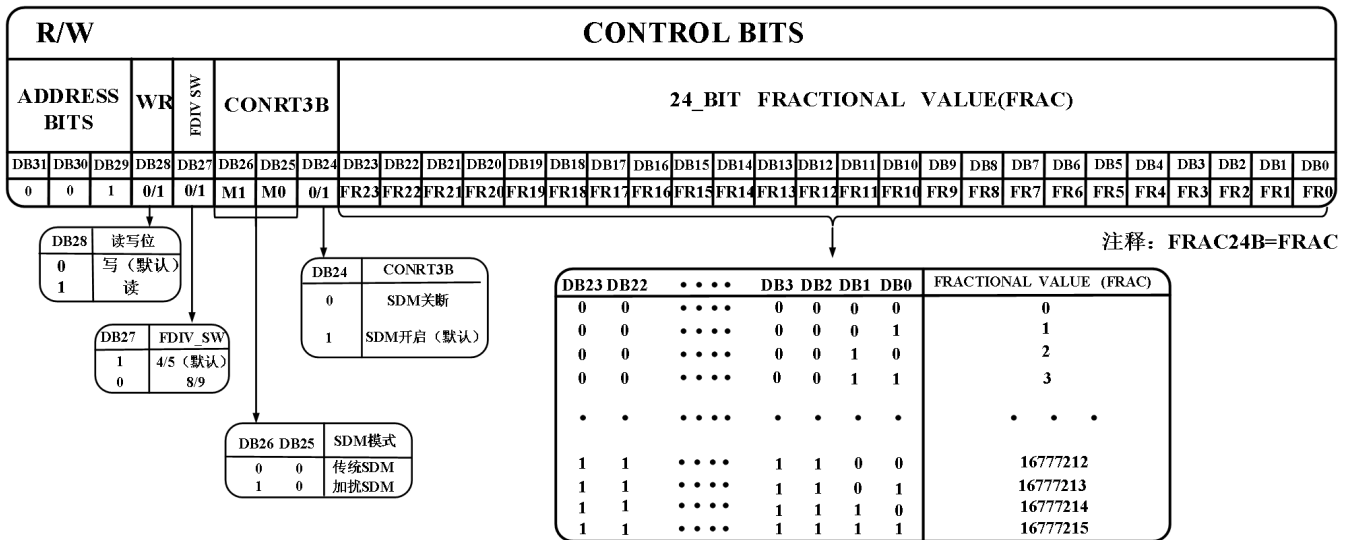


图 14 reg1 寄存器配置信息

# REG2

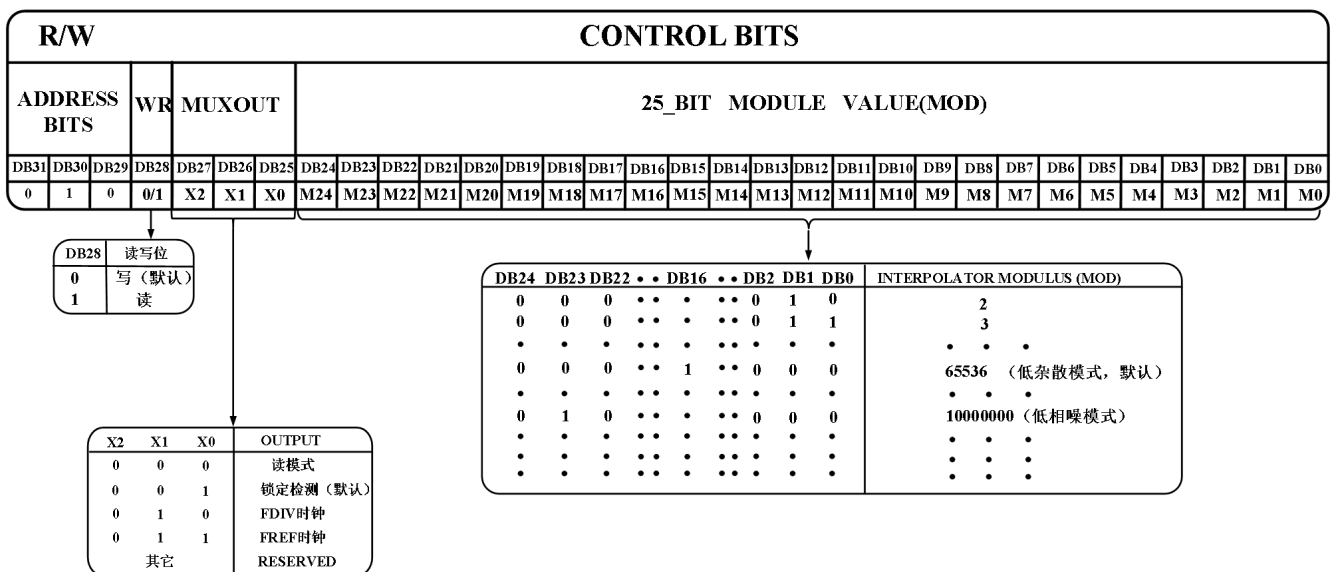


图 15 reg2 寄存器配置信息

### REG3

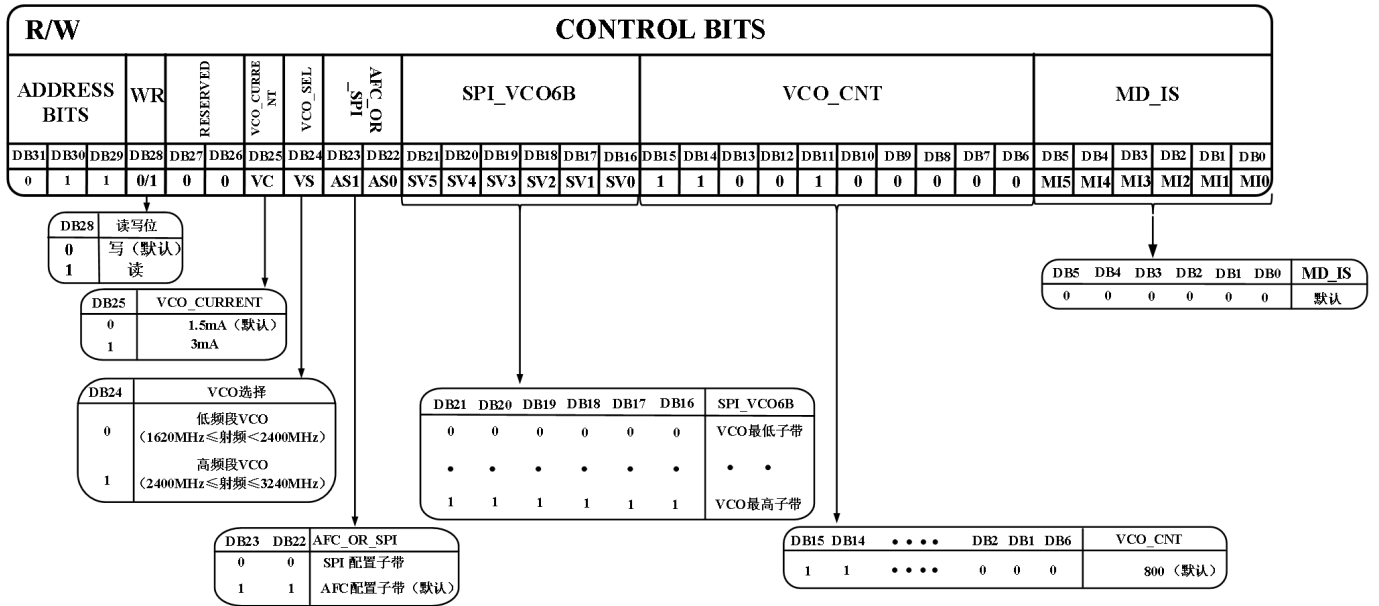


图 16 reg3 寄存器配置信息

### REG4

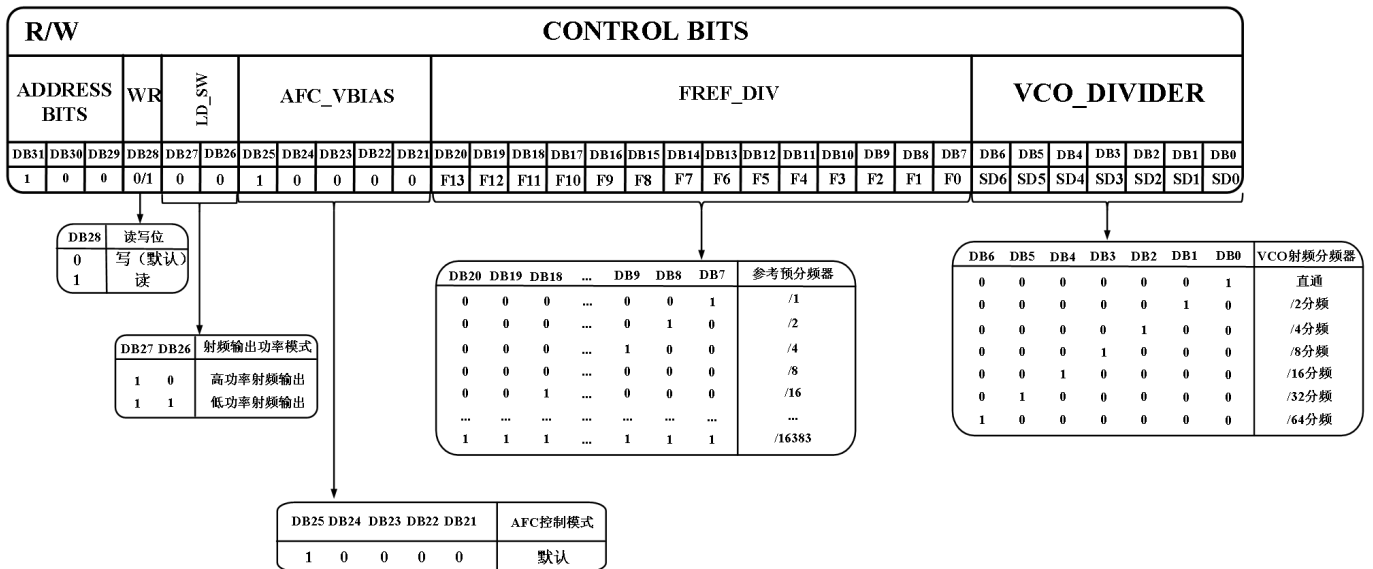


图 17 reg4 寄存器配置信息

# REG5

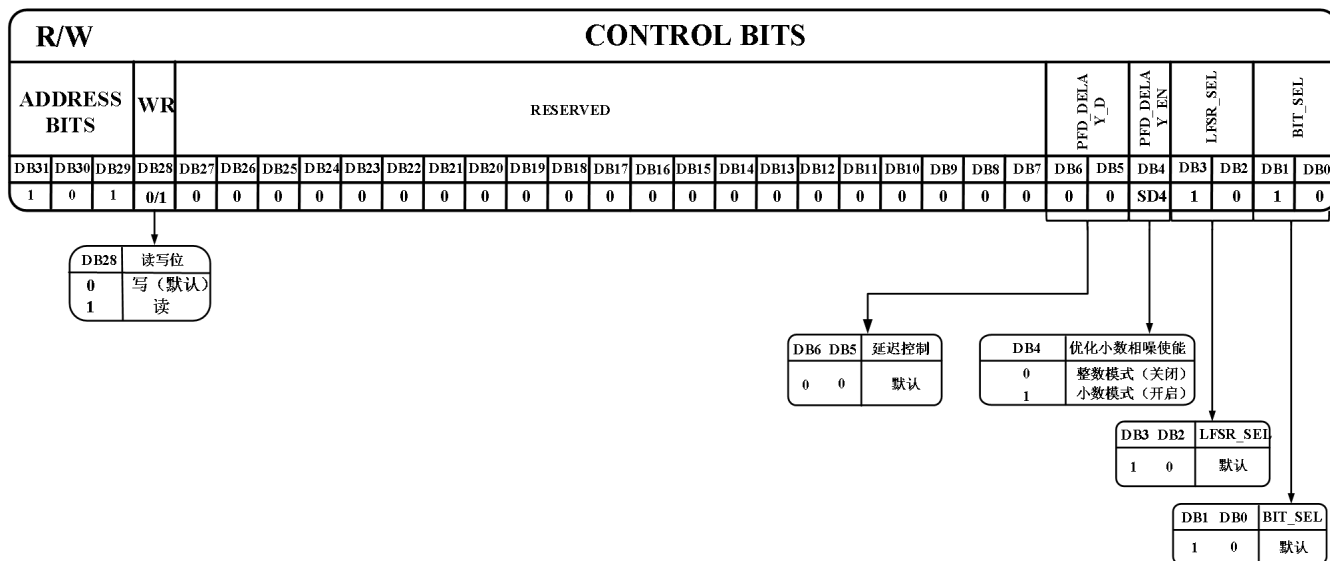


图 18 reg5 寄存器配置信息

## 寄存器 0

### 地址位

当寄存器 0 的地址位 DB[31:29]=3'b000 时, 可对寄存器 0 进行编程。

### 读写位

当寄存器 0 的读写位 DB[28]=1'b0 时, 可对寄存器 0 进行写操作。

### 电荷泵使能位

寄存器 0 的电荷泵使能位 DB[24]用于控制电荷泵电流开关。默认电荷泵电流开 DB[24]=1'b1。

### 电荷泵电流设置位

寄存器 0 的电荷泵电流设置位 DB[23:16]用于设置电荷泵电流。应将电荷泵电流设置为环路滤波器的设计电流 3.2mA (参见表 2)。

### INT 值设置位

寄存器 0 的 INT 值设置位 DB[15:0]用于设置 INT 值, 它决定反馈分频系数中的整数部分。用于公式

$RF_{OUT} = [INT + (FRAC/MOD)] \times [f_{PFD}] / RF$ 分频器。其中  $RF_{OUT}$  为射频输出频率,  $INT$  为反馈分频系数中的整数部分,  $FRAC/MOD$  为反馈分频系数中的小数部分,  $f_{PFD}$  为鉴相频率,  $RF$  分频器为 VCO 射频分频器 1~64 分频。

## 寄存器 1

### 地址位

当寄存器 1 的地址位 DB[31:29]=3'b001 时, 可对寄存器 1 进行编程。

### 读写位

当寄存器 1 的读写位 DB[28]=1'b0 时, 可对寄存器 1 进行写操作。

### 双模预分频设置位

寄存器 1 的双模预分频设置位 DB[27]用于设置 4/5 分频或 8/9 分频。由于基于同步 4/5 分频的双模预分频器可容许的最大 RF 频率满足 3.24GHz, 因此 HX1312880FL 的全频带设置默认 4/5 分频。

### SDM 模式及开关设置位

寄存器 1 的 SDM 模式及开关设置位 DB[26:24]用于设置 SDM 模式及开关。当前版本 SDM 模式只支持传统模式。SDM 开关默认为开，当实现整数频点时，可通过设置小数输入的 FRAC 分子值为 0 来实现。

#### FRAC 设置位

寄存器 1 的 FRAC 设置位 DB[23:0]用于设置 SDM 小数输入的分子值。它与 SDM 小数输入的分母 MOD 值配合使用，实现反馈分频系数中的小数部分。

### 寄存器 2

#### 地址位

当寄存器 2 的地址位 DB[31:29]=3'b010 时，可对寄存器 2 进行编程。

#### 读写位

当寄存器 2 的读写位 DB[28]=1'b0 时，可对寄存器 2 进行写操作。

#### MUXOUT 设置位

寄存器 2 的 MUXOUT 设置位 DB[27:25]用于访问锁定检测、预分频后参考时钟、N 分频后反馈时钟、SPI 读等功能，默认访问锁定检测。

#### MOD 模数设置位

寄存器 2 的 MOD 模数设置位 DB[24:0] 用于设置 SDM 小数输入的分母模数值。它与 SDM 小数输入的分母 FRAC 值配合使用，实现反馈分频系数中的小数部分。当 MOD 模数设置位 DB[24:0]= 25'd10000000 时，SDM 输出随机序列周期性较强，从而相位噪声性能好，小数杂散性能差；当 MOD 模数设置位 DB[24:0]= 25'd16777216 时，SDM 输出随机序列周期性差，从而小数杂散性能较好，相位噪声性能差。

### 寄存器 3

#### 地址位

当寄存器 3 的地址位 DB[31:29]=3'b011 时，可对寄存器 3 进行编程。

#### 读写位

当寄存器 3 的读写位 DB[28]=1'b0 时，可对寄存器 3 进行写操作。

#### VCO 选择设置位

寄存器 3 的 VCO 选择设置位 DB[24]用于选择不同射频频段输出的 VCO。当  $1620\text{MHz} \leq \text{射频 RF 输出频率} < 2400\text{MHz}$  时，选择低频段 VCO；当  $2400\text{MHz} \leq \text{射频 RF 输出频率} \leq 3240\text{MHz}$  时，选择高频段 VCO。

#### AFC 或 SPI 选择设置位

寄存器 3 的 AFC 或 SPI 选择设置位 DB[23:22]用于选择自动选 VCO 子带或 SPI 配置选子带。当 DB[23:22]= 2'b11 时，通过 AFC 自动频率校准功能自动选择射频 RF 输出频率对应的 VCO 子带；当 DB[23:22]= 2'b00 时，通过 SPI 手动配置射频 RF 输出频率对应的 VCO 子带，此功能需与 VCO 子带 6bit 控制位配合使用。

#### VCO 子带 6bit 控制位

寄存器 3 的 VCO 子带 6bit 控制位 DB[21:16]用于对 VCO 64 根不同子带的选择，此功能需与 AFC 或 SPI 选择设置位配合使用。例如：射频 RF 输出频率=2GHz，查表对应的低频段 VCO 子带控制位为 6'b101000，则需配置寄存器 3 中的 DB[23:22]= 2'b00 且 DB[21:16]= 6'b101000。当 DB[23:22]= 2'b11 时，VCO 子带 6bit 控制位失效。

### 寄存器 4

#### 地址位

当寄存器 4 的地址位 DB[31:29]=3'b100 时, 可对寄存器 4 进行编程。

### 读写位

当寄存器 4 的读写位 DB[28]=1'b0 时, 可对寄存器 4 进行写操作。

### 射频输出功率模式设置位

寄存器 4 的射频输出功率模式设置位 DB[27:26]用于选择不同射频功率输出模式。当 DB[27:26]=11 时, 为低功率射频输出模式; 当 DB[27:26]=10 时, 为高功率射频输出模式。

### 参考预分频设置位

寄存器 4 的参考预分频设置位 DB[20:7]用于对输入基准时钟频率 (REFIN) 进行预分频, 以满足鉴相器的输入频率范围。

### VCO 射频分频器设置位

寄存器 4 的 VCO 射频分频器设置位 DB[6:0]用于对射频输出频率进行 1~64 分频, 以实现拓宽频带范围。

## 寄存器 5

### 地址位

当寄存器 5 的地址位 DB[31:29]=3'b101 时, 可对寄存器 5 进行编程。

### 读写位

当寄存器 5 的读写位 DB[28]=1'b0 时, 可对寄存器 5 进行写操作。

### 鉴相延迟使能设置位

寄存器 5 的鉴相延迟使能设置位 DB[4]用于对小数模式相位噪声进行优化, 当分频比为整数模式时, DB[4]设置为 0; 当分频比为小数模式时, DB[4]设置为 1。

## 寄存器 0~5 配置顺序

当电源引脚施加处依次放置 4.7uF, 0.1uF, 0.01uF 的电容, 最大限度滤除电源线上的干扰且上电正常之后, HX1312880FL 按照以下所示的寄存器顺序完成配置:

寄存器 5 → 寄存器 4 → 寄存器 3 → 寄存器 2 → 寄存器 1 → 寄存器 0

## 频点配置说明

下面以一个应用案例说明如何配置 HX1312880FL:

$$RF_{OUT} = [INT + (FRAC/MOD)] \times [f_{PFD}] / RF \text{ 分频器}$$

其中,  $RF_{OUT}$  是 RF 输出频率, INT 是整数分频系数, FRAC 是小数分频系数, MOD 是模数,  $f_{PFD}$  是鉴相器频率, RF 分频器是 VCO 的射频输出分频数。

$$f_{PFD} = REFIN \times [1/R] \quad \text{其中 REFIN 是参考频率输入, R 是参考预分频系数。}$$

假设现有射频系统需要输出频率为 1620.2MHz 的频率输出 ( $RF_{OUT}$ ), 参考晶振 (REFIN) 频率为 20MHz, 频率通道分辨率 ( $f_{RESOUT}$ ) 为 200KHz。由此有:

HX1312880FL 的 VCO 输出频率 1620~3240MHz, 因此 RF 分频器=1; RF 分频器的输出要求为 200KHz 通道分辨率 ( $f_{RESOUT}$ ), 所以 VCO 输出的通道分辨率同样为 200KHz ( $f_{RES}$ )。

$$MOD = 16777216$$

$$f_{PFD} = 20MHz \times [(1)/(1)] = 20MHz$$

$$1620.2 = 20 \times [INT + \left(\frac{FRAC}{16777216}\right)]$$

$$\text{可得: } INT = 81$$

$$FRAC = 167772$$

在上面的计算中, MOD 模值为 16777216。而在  $f_{PFD}$  的计算时, 参考分频系数 R 取 1。这里  $f_{PFD}$  的取值是可以灵活设定的, 但要小于 PFD 的最高频率。

应用信息

图 19 为 HX1312880FL 典型应用电路，芯片采用 3.3V 电源进行供电，推荐使用 MAXIM 公司 LDOMAX8902B 进行供电，此 LDO 噪声性能不会对 HX1312880FL 噪声性能恶化。芯片工作需要外置环路滤波器，推荐使用 3 阶环路滤波器。输入参考信号需使用外部晶振提供，推荐使用爱普生公司 TG5032SCN TCXO 进行基准输入。

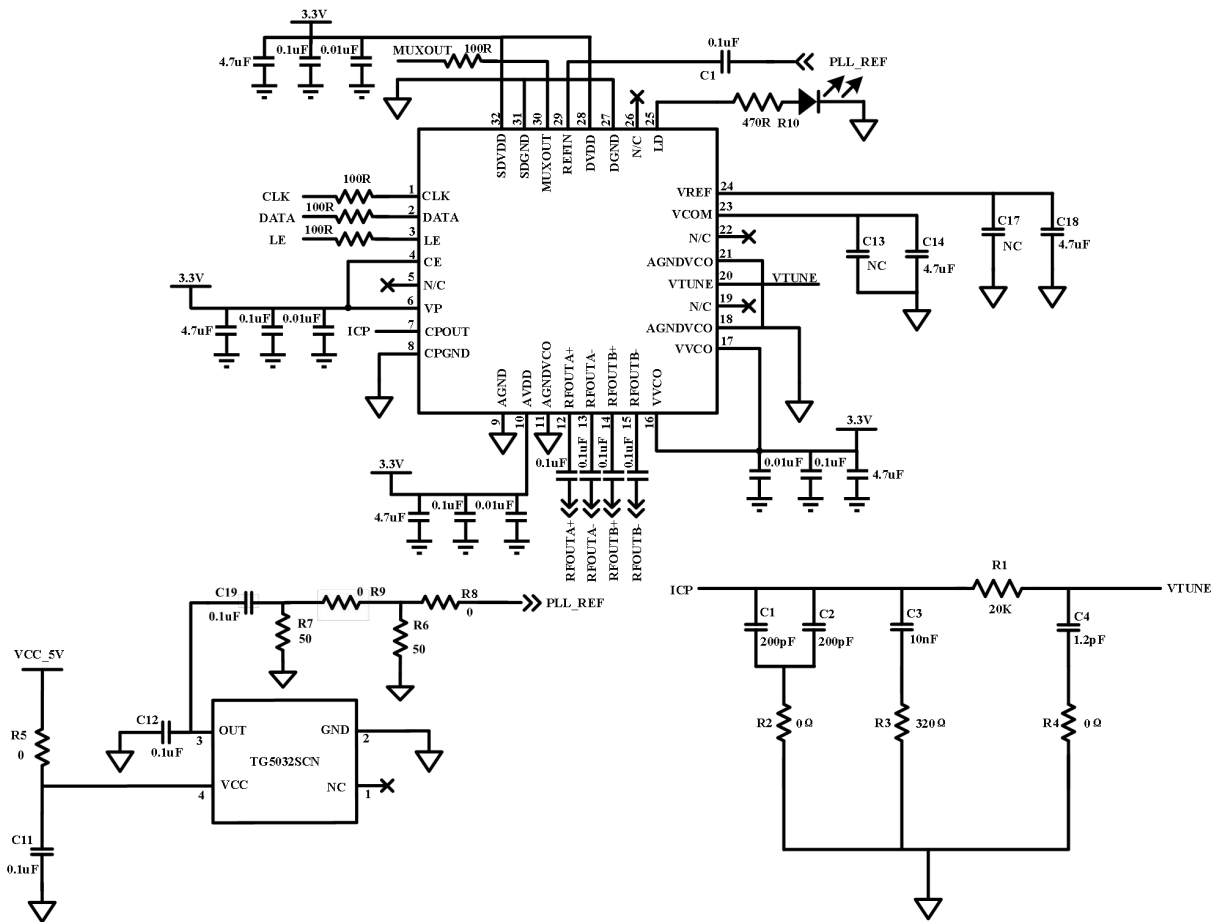


图 19 典型应用电路

封装信息 (单位: mm)

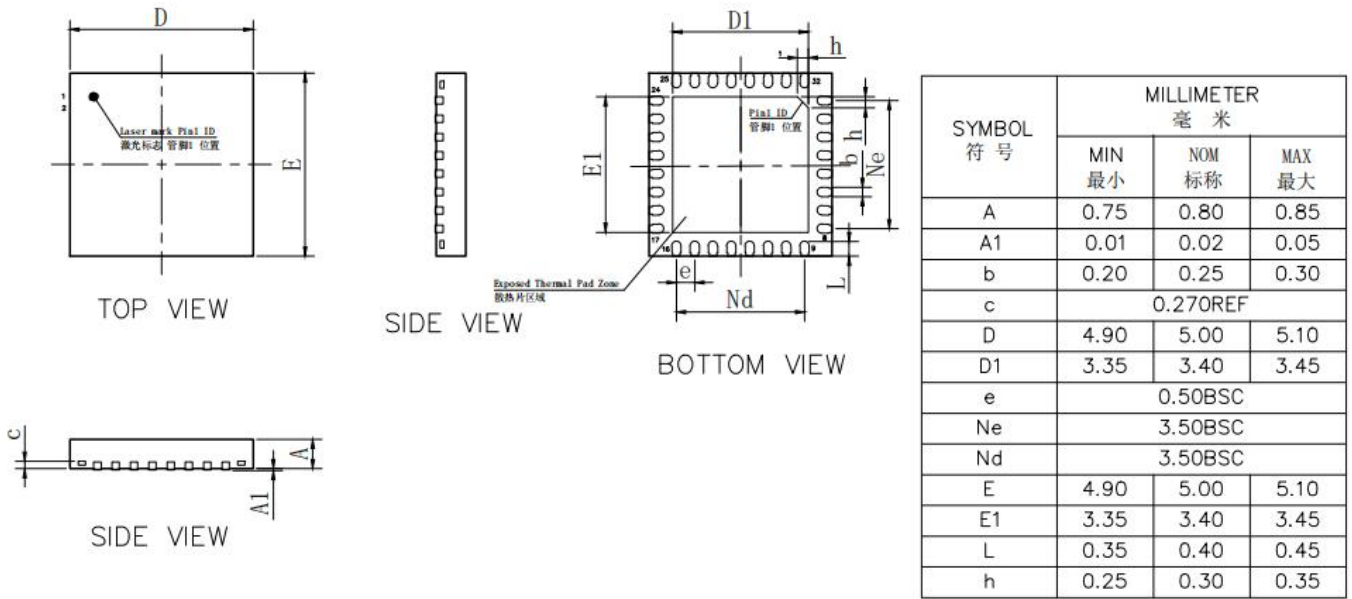


图 20 封装信息图